

PAT-NO: JP02001015479A
DOCUMENT-IDENTIFIER: JP 2001015479 A
TITLE: METHOD OF MANUFACTURING SEMICONDUCTOR
PUBN-DATE: January 19, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
OIWA, NORIHISA	N/A
SETA, SHOJI	N/A
HAYASAKA, NOBUO	N/A
OKUMURA, KATSUYA	N/A
KOJIMA, AKIHIRO	N/A
ABE, JUNKO	N/A
AZUMA, TSUKASA	N/A
ICHINOSE, HIDEO	N/A
MIZUSHIMA, ICHIRO	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP11183908

APPL-DATE: June 29, 1999

INT-CL (IPC): H01L021/306, H01L021/3065

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for manufacturing a semiconductor device, without etching a silicon substrate when eliminating a mask layer, even if the ground of a film to be machined is a silicon substrate.

SOLUTION: A WO3 film 13 is formed on a silicon oxide film 12 formed on a

silicon substrate 11. Then, after an Al₂O₃ film 14 is deposited on the entire surface, and an organic antireflection film 15 is applied and fired successively, a resist pattern 16 with a prescribed pattern is formed (a). The organic antireflection film 15 is etched by RIE treatment, and the Al₂O₃ film 14 is etched by the RIE treatment (b). The WO₃ film 13 is etched by the RIE treatment, and the upper surface of the silicon oxide film 12 is made to be exposed (c). The silicon oxide film 12 is etched by the RIE treatment, and the silicon substrate 11 is made to be exposed (d). By performing dipping into hot water at 60°C, the WO₃ film 13 is dissolved, and at the same time the Al₂O₃ film 14 is lifted off (e).

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-15479

(P2001-15479A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl.

識別記号

F I

データ(参考)

H 0 1 L 21/306

H 0 1 L 21/306

D 5 F 0 0 4

21/3065

21/302

J 5 F 0 4 3

審査請求 未請求 請求項の数6 OL (全 9 頁)

(21) 出願番号 特願平11-183908

(22) 出願日 平成11年6月29日 (1999.6.29)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大岩 徳久

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 瀬田 渉二

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

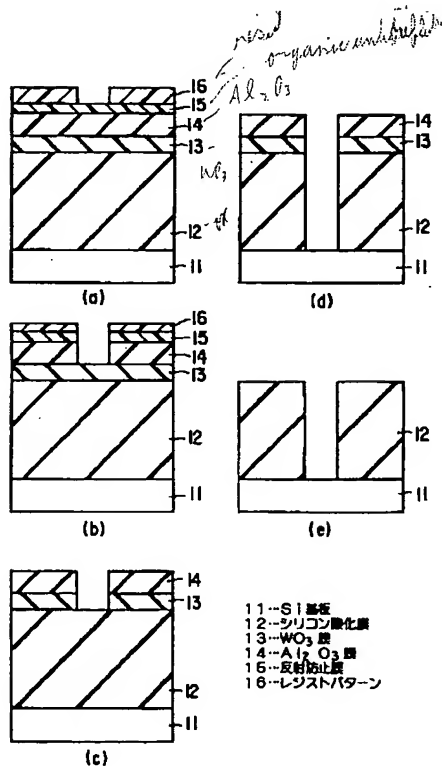
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】被加工膜の下地がシリコン基板であっても、マスク層の除去時にシリコン基板をエッチングしない。

【解決手段】シリコン基板11上に形成されたシリコン酸化膜12上にWO₃膜13を形成する。そして、全面にAl₂O₃膜14の堆積、有機反射防止膜15の塗布焼成を順次行った後、所定パターンのレジストパターン16を形成する((a))。RIE処理による有機反射防止膜15のエッチング、RIE処理によるAl₂O₃膜14のエッチングを行う((b))。RIE処理によりWO₃膜13をエッチングし、シリコン酸化膜12の上を露出させる((c))。RIE処理によりシリコン酸化膜12をエッチングし、シリコン基板11を露出させる((d))。60℃の温水中に浸漬することにより、WO₃膜13を溶解する共に、Al₂O₃膜14をリフトオフする((e))。



【特許請求の範囲】

【請求項1】半導体基板上に形成された被処理膜上に、溶解液に可溶な可溶性薄膜を形成する工程と、前記可溶性薄膜上に、マスク層を形成する工程と、前記マスク層上に所望のパターンのレジストパターンを形成する工程と、

前記レジストパターンの上面をエッチングしつつ、前記マスク層に該レジストパターンのパターンを転写する工程と、

残存する前記レジストパターン又は前記マスク層の上面をエッチングしつつ、前記可溶性薄膜及び被処理基板に前記レジストパターン及びマスク層のパターンを転写する工程と、

前記溶解液を用いて前記可溶性薄膜を除去すると共に、前記マスク層をリフトオフする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】半導体基板上に形成された被処理膜上に、溶解液に可溶な可溶性薄膜を形成する工程と、

前記可溶性薄膜上に、所望のパターンと反転するパターンを有する反転マスク層を形成する工程と、

前記半導体基板上に、前記反転マスク層を覆うようにマスク層を堆積した後、エッチバックして前記反転マスク層の上面を露出させる工程と、

前記反転マスク層を除去し、前記被処理膜上に所望のパターンを有するマスク層を残置させる工程と、

前記マスク層をマスクに前記可溶性薄膜及び被処理膜をエッチングし、該可溶性薄膜及び被処理膜に前記マスク層のパターンを転写する工程と、

前記溶解液を用いて前記可溶性薄膜を除去すると共に、前記マスク層をリフトオフする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】半導体基板上に形成された絶縁膜上に、溶解液に可溶な可溶性薄膜を形成する工程と、

前記可溶性薄膜上に所望のパターンを有するレジストパターンを形成する工程と、

前記レジストパターンをマスクに、前記可溶性薄膜をエッチングして、配線溝を形成する工程と、

前記レジストパターンを除去する工程と、

前記配線溝に配線を埋め込み形成する工程と、

前記可溶性薄膜及び前記配線上に絶縁膜を形成する工程と、

前記絶縁膜の所定位置に前記前記可溶性薄膜が露出する窓を形成する工程と、

前記溶解液を用いて前記可溶性薄膜を溶解除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】前記可溶性薄膜が、タングステン酸化物、アルミ酸化物、チタン酸化物、或いはチタン窒化物であることを特徴とする請求項1～3の何れかに記載の半導体装置の製造方法。

【請求項5】半導体基板上に有機成分を含む有機珪素化

合物膜を形成する工程と、

前記有機珪素化合物膜上に、シリコン酸化膜を形成する工程と、

前記前記シリコン酸化膜上に、所望のパターンを有するレジストパターンを形成する工程と、

前記レジストパターンをマスクに前記シリコン酸化膜及び有機SOG膜をエッチングして、該シリコン酸化膜及び有機珪素化合物膜に該レジストパターンのパターンを転写する工程と、

前記溶解液を用いて前記シリコン酸化膜を除去すると共に、前記レジストパターンをリフトオフする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】前記シリコン酸化膜は、有機珪素化合物膜の表面に活性化された酸素を含むガスを供給して形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、被処理膜に所定のパターンを形成する半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、半導体装置の製造工程において、シリコン基板上に形成されたシリコン酸化膜等の薄膜上にレジストの塗布、露光、現像を行って所望のレジストパターンを形成し、このレジストパターンをエッチングマスクとして該シリコン基板或いは基板上の薄膜をエッチングし、その後レジストをアッシング除去する工程が用いられている。

【0003】デバイスの高集積化に伴うパターンの微細化のため、パターン形成プロセスのマージンが狭くなったため、露光の短波長化や基板からの反射光の影響を低減する反射防止膜の利用、レジスト膜厚の薄膜化などの手法が使われるようになった。

【0004】しかしながら、パターン寸法が $0.2\mu\text{m}$ を下回るようになると、 $0.2\mu\text{m}$ 程度までレジスト膜厚を薄くすることが必要になる。そのため、エッチング深さが $1\mu\text{m}$ 以上となるコンタクトホールなどのRIE工程では、エッチングマスクとして使用されるレジストの膜厚が足りずエッチングすることができなくなる問題が発生する。

【0005】シリコン酸化膜の加工では、エッチング選択比のとれるポリシリコン薄膜をシリコン酸化膜上に形成し、レジストパターンをポリシリコンに一端転写し、ポリシリコンをエッチングマスクにコンタクトホールの形成が行われている。しかし、ホール形成後にエッチングマスクを除去する際、ホール底部のシリコン基板がエッチングされるという問題があった。

【0006】また、層間絶縁膜として良く用いられる有機SOGのRIEを行った後に、 CF_4/O_2 ダウンフローアッシングや O_2 プラズマアッシングでレジストの

剥離を行うと、レジストが除去されると同時に、有機SOGに含有される有機成分が酸素ラジカルと反応して有機SOGから有機成分が揮発し、有機SOGの組成が変化し誘電率が大きくなると言う問題があった。

【0007】ところで、上層と下層との配線の寄生容量を低減するために、層間絶縁膜が形成されない空中配線構造が提案されている。空中配線構造は、スパッタリングC膜を配線材料を埋め込むダミー膜とし、ダマシンプロセスを用いて形成される。C膜への配線溝の形成は、C膜上に形成されたSiO₂膜上に所望のレジスト配線パターンを形成した後、レジストをエッチングマスクにC膜をRIE加工して行われる。配線の形成は、配線材料を形成した後、CMPにより配線が形成される。配線の形成後、O₂アッシングプロセスで生成されるSiO₂膜を通過する酸素ラジカルによりC膜を除去し、空中配線が形成される。しかし、従来の製造工程では、SiO₂膜を通してアッシングするためC膜の除去に時間がかかるという問題があった。

【0008】

【発明が解決しようとする課題】レジスト膜厚の薄膜化に伴い、ポリシリコンをエッチングマスクとして用いると、被加工膜の下地がシリコン基板であった場合に、ポリシリコンを除去する際にシリコン基板までエッチングされるという問題があった。

【0009】また、CF₄/O₂ダウンフローアッシングやO₂プラズマアッシングにより層間絶縁膜上のレジスト膜の除去処理を行うと、酸素ラジカルと反応して絶縁膜中の有機成分が除去され、誘電率が大きくなるという問題点があった。

【0010】また、従来のダミー膜としてC膜を用いた空中配線構造では、C膜の除去に時間がかかり、スルーアットが悪いという問題があった。

【0011】本発明の目的は、被加工膜の下地がシリコン基板であっても、マスク層の除去時にシリコン基板をエッチングすることがない半導体装置の製造方法を提供することにある。

【0012】また、本発明の別の目的は、有機成分を有機絶縁膜上のマスクパターンを除去する際に、有機絶縁膜中の組成成分を変化させることがなく、誘電率の増加を抑制し得る半導体装置の製造方法を提供することにある。

【0013】また、本発明の別の目的は、空中配線構造を形成する際、ダミー膜の除去を短時間に行うことができ、スルーアットの改善を図り得る半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】〔構成〕本発明は、上記目的を達成するために以下のように構成されている。

【0015】(1)本発明(請求項1)の半導体装置の製造方法は、半導体基板上に形成された被処理膜上に、

溶解液に可溶な可溶性薄膜を形成する工程と、前記可溶性薄膜上に、薄膜を形成する工程と、前記薄膜上に所望のパターンのレジストパターンを形成する工程と、前記レジストパターンの上面をエッチングしつつ、前記薄膜に該レジストパターンのパターンを転写する工程と、残存する前記レジストパターン又は前記薄膜の上面をエッチングしつつ、前記可溶性薄膜及び被処理基板に前記レジストパターン及び薄膜のパターンを転写する工程と、前記溶解液を用いて前記可溶性薄膜を除去すると共に、前記薄膜をリフトオフする工程とを含むことを特徴とする。

【0016】(2)本発明(請求項2)の半導体装置の製造方法は、半導体基板上に形成された被処理膜上に、溶解液に可溶な可溶性薄膜を形成する工程と、前記可溶性薄膜上に、所望のパターンと反転するパターンを有する第1の薄膜を形成する工程と、前記半導体基板上に、第1の薄膜を覆うように第2の薄膜を堆積した後、エッチバックして第1の薄膜の上面を露出させる工程と、第1の薄膜を除去し、所望のパターンを有する第2の薄膜を形成する工程と、第2の薄膜をマスクに前記可溶性薄膜及び被処理膜をエッチングし、該可溶性薄膜及び被処理膜に第2の薄膜のパターンを転写する工程と、前記溶解液を用いて前記可溶性薄膜を除去すると共に、第2の薄膜をリフトオフする工程とを含むことを特徴とする。

【0017】(3)本発明(請求項3)の半導体装置の製造方法は、半導体基板上に形成された絶縁膜上に、溶解液に可溶な可溶性薄膜を形成する工程と、前記可溶性薄膜上に所望のパターンを有するレジストパターンを形成する工程と、前記レジストパターンをマスクに、前記可溶性薄膜をエッチングして、配線溝を形成する工程と、前記レジストパターンを除去する工程と、前記配線溝に配線を埋め込み形成する工程と、前記可溶性薄膜及び前記配線の上に絶縁膜を形成する工程と、前記絶縁膜の所定位置に前記前記可溶性薄膜が露出する窓を形成する工程と、前記溶解液を用いて前記可溶性薄膜を溶解除去する工程とを含むことを特徴とする。

【0018】本発明(請求項1～3)の好ましい実施態様を以下に記す。

【0019】前記可溶性薄膜が、タングステン酸化物、アルミ酸化物、チタン酸化物、或いはチタン窒化物であること。前記マスク層がSi、W、Al、Ni、Ti、Caを主成分とする金属、或いはアルミ酸化物、ニッケル酸化物、チタン酸化物、カルシウム弗化物を含むこと。

【0020】(4)本発明(請求項5)の半導体装置の製造方法は、半導体基板上に有機成分を含む有機SOG膜を形成する工程と、前記有機SOG膜上に、シリコン酸化膜を形成する工程と、前記前記シリコン酸化膜上に、所望のパターンを有するレジストパターンを形成する工程と、前記レジストパターンをマスクに前記シリコ

ン酸化膜及び有機SOG膜をエッチングして、該シリコン酸化膜及び有機SOG膜に該レジストパターンを転写する工程と、溶解液を用いて前記シリコン酸化膜を除去すると共に、前記レジストパターンをリフトオフする工程とを含むことを特徴とする。前記シリコン酸化膜は、有機SOG膜の表面に活性化された酸素を含むガスを供給して形成することが好ましい。また、溶解液が希弗酸であることが好ましい。

【0021】【作用】本発明は、上記構成によって以下の作用・効果を有する。

【0022】被処理膜上に、溶解液に溶解する溶解性薄膜及びマスク層及び所望のパターンを有するパターンを順次形成し、マスク層及び溶解性薄膜及び被処理膜のエッチングを順次行うことによって、たとえ溶解性薄膜又は被処理膜中にレジストパターンが無くなっても、マスク層が存在するので被処理膜のエッチングを行うことができ、微細加工が可能となる。

【0023】また、溶解性薄膜上に所望のパターンと反転したパターンを有する反転パターン層を形成し、反転パターン内にマスク材を埋め込み形成した後、反転パターン層を除去することによっても、所望のパターンを有するマスク層を形成することができ、上記と同様に微細加工を行うことができる。

【0024】そして、マスク層は溶解性薄膜上に形成されているので、溶解性薄膜を溶液を用いて除去することによって、マスク層がリフトオフされるので、容易にマスク層の除去を行うことができる。また、被処理薄膜の下地がシリコン基板であっても、マスク層を除去する際に下地のシリコン基板がエッチングされることがない。

【0025】溶解成膜を用いたダマシン配線を形成し、配線形成後、溶解性薄膜を溶解除去して配線を空洞化することが可能となり、空中配線構造を容易に形成することができる。

【0026】有機SOG膜上にシリコン酸化膜を形成し、シリコン酸化膜上にレジストパターンの形成を行った後に、シリコン酸化膜及び有機SOG膜のエッチングを行い、シリコン酸化膜を溶解除去してレジストパターンをリフトオフすることで、レジストパターンを除去する際に有機SOG膜の表面を活性な酸素にさらすことがないので、有機成分の除去による誘電率の増大を防止することができる。

【0027】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0028】【第1実施形態】本実施形態では、0.3 μm 以下の膜厚のレジストを用いてコンタクトホール等の加工を可能とする製造工程について説明する。

【0029】図1は、本発明の第1実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0030】まず、シリコン基板11上に形成された膜

厚1 μm 以上のシリコン酸化膜(被処理膜)12上に膜厚100 nmの WO_3 膜(可溶性薄膜)13を塗布焼成して形成する。そして、全面にスパッタ法による Al_2O_3 膜(マスク層)14の堆積、膜厚60 nmの有機反射防止膜15の塗布焼成を順次行った後、リソグラフィ技術を用いて膜厚200 nmの所定パターンのレジストパターン16を形成する。

【0031】次いで、図1(b)に示すように、 O_2 ガスを用いたRIE処理による有機反射防止膜15のエッチング、 Cl_2/BCl_3 混合ガスを用いたRIE処理による Al_2O_3 膜14のエッチングを行う。 Al_2O_3 膜14のエッチングの後、残存するレジストパターン16の膜厚は50 nmであった。

【0032】次いで、図1(c)に示すように、 $\text{CF}_4/\text{Ar}/\text{O}_2$ 混合ガスを用いたRIE処理により WO_3 膜13をエッチングし、シリコン酸化膜12の上面を露出させる。なお、 WO_3 膜13のエッチング工程の後、レジストパターン16及び有機反射防止膜15は全てエッチング除去されていた。

【0033】次いで、図1(d)に示すように、 $\text{C}_4\text{F}_8/\text{CO}/\text{Ar}/\text{O}_2$ 混合ガスを用いたRIE処理によりシリコン酸化膜12をエッチングし、シリコン基板11を露出させる。 Al_2O_3 のシリコン酸化膜に対するRIE選択比は20以上有り、膜厚100 nmの Al_2O_3 膜14で深さ1 μm のコンタクトホールを形成することが可能である。

【0034】次いで、図1(e)に示すように、60℃の温水に浸漬することにより、 WO_3 膜13を溶解する。この溶解工程時に、 WO_3 膜13上の Al_2O_3 膜14もリフトオフされ、シリコン酸化膜12上に形成された Al_2O_3 膜14は除去された。しかも、エッチングマスクとしてポリシリコンを用いていないので、コンタクトホール底部のシリコン基板11は勿論、シリコン酸化膜12もほとんどエッチングされず寸法変換差も発生していなかった。

【0035】以上説明したように、被加工膜とレジスト層との間に積層膜を形成し、レジストパターンの形成工程に必要な基板からの低い光反射特性と、RIE工程で必要なマスク特性と、RIEマスク剥離特性とをそれぞれ別な膜に分割して持たせることで、レジストの膜厚が200 nmであっても深さ1 μm のコンタクトホールを加工することが可能となる。

【0036】なお、 WO_3 膜の溶解するのに60℃の温水を用いたが、必ずしも温水である必要はなく、定温の水であっても良い。また、 WO_3 膜以外にも、タングステン酸化物、アルミ酸化物、チタン酸化物或いはチタン窒化物が温水やアルカリ性溶液に対して溶解するので、これらの物質を用いることができる。例えば、 Al_2O_3 膜は0.08% TMAH(テトラメチルアンモニウムハイドロキシド)水溶液に対して470 $\text{\AA}/\text{min}$ の

エッチング速度で溶解し、Siは0.08%TMAH水溶液に対して数A/minのエッチングレートで溶解する。従って、 Al_2O_3 膜を溶解させる際にSiがほとんどエッチングされないので Al_2O_3 膜を用いることができる。

【0037】また、マスクとなる薄膜として Al_2O_3 膜を用いたが、エッチングガスとしてフッ素を含むガスを用いた際に、蒸気圧が5~10Torr以下の弗化物を生成する金属、金属酸化物或いは金属弗化物を含む薄膜であれば用いることができる。生成される弗化物の蒸気圧が5~10Torr以下であれば、充分エッチングすることができる。例えば、Si、W、Al、Ni、Ti或いはCaを主成分とする金属、又はアルミ酸化物、ニッケル酸化物Ti酸化物或いはカルシウム弗化物を用いることができる。

【0038】[第2実施形態] 次に、本実施形態では、第1実施形態と異なる手法を用いて溶解性薄膜上に所定のパターンを形成する方法について説明する。

【0039】図2は、本発明の第2実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0040】まず、図2(a)に示すように、シリコン基板11上に形成された膜厚1 μ mのシリコン酸化膜12上に、膜厚100nmの WO_3 膜13の塗布焼成、膜厚200nmのSOG膜21の塗布焼成を順次行う。次に、SOG膜21上に反射防止膜15を形成した後、膜厚200nmのレジストパターン22を形成する。

【0041】次いで、図2(b)に示すように、レジストパターン22をエッチングマスクに、反射防止膜15、SOG膜21及び WO_3 膜13を順次RIE処理した後、レジストパターン22を O_2 アッシングにより除去する。

【0042】次いで、図2(c)に示すように、全面に Al_2O_3 膜23を塗布焼成した後、CMP法により Al_2O_3 膜23の上面を平坦化して、SOG膜21を露出させる。

【0043】次いで、図2(d)に示すように、フッ酸処理によりSOG膜21を除去し、レジストパターンと反転したパターンを有する Al_2O_3 膜23を形成する。次いで、図2(e)に示すように、 $CF_4/Ar/O_2$ 混合ガスを用いたRIE処理により、 WO_3 膜13をエッチング処理する。

【0044】次いで、図2(f)に示すように、 $C_4F_8/CO/Ar/O_2$ 混合ガスを用いたRIE処理により、シリコン酸化膜12を加工し、コンタクトホールを形成する。

【0045】次いで、図2(g)に示すように、シリコン基板11を60℃の温水中に浸漬し、 WO_3 膜13を溶解除去すると共に、 Al_2O_3 膜23をリフトオフする。

【0046】また、異なる製造方法について説明する。まず、図3(a)に示すように、シリコン基板11上に

形成された膜厚1 μ mのシリコン酸化膜12上に、膜厚100nmの WO_3 膜13の塗布焼成、膜厚200nmのレジストパターン22の形成を順次行う。

【0047】次いで、図3(b)に示すように、 Al_2O_3 膜23を塗布焼成した後、CMP法により Al_2O_3 膜23をエッチバックしてレジストパターン22の上面を露出させる。

【0048】次いで、図3(c)に示すように、現像液処理でレジストパターン22を除去し、レジストパターン22と反転したパターンを有する Al_2O_3 膜23を WO_3 膜13上に残置させる。

【0049】次いで、図3(d)に示すように、 $CF_4/Ar/O_2$ 混合ガスを用いたRIE処理により WO_3 膜13をエッチングする。次いで、図3(e)に示すように、 $C_4F_8/CO/Ar/O_2$ ガスをを用いた処理によりシリコン酸化膜12をエッチング加工し、シリコン基板11を露出させる。次いで、図3(f)に示すように、基板を60℃の温水中に浸漬し、 WO_3 膜13を溶解除去すると共に、 Al_2O_3 膜23をリフトオフする。

【0050】[第3実施形態] 本実施形態では、有機SOG膜表面の誘電率を変化させることなく有機SOG膜上のレジストパターンを除去する発明について説明する。

【0051】図4は、本発明の第3実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0052】まず、図4(a)に示すように、シリコン基板11上に有機成分を例えば20wt%含んだ有機SOG膜41、例えばメチルシロキサンを形成する。次いで、図4(b)に示すように、 O_2 プラズマ処理により、有機SOG膜41表面の有機成分を除去して、膜厚40nmのシリコン酸化膜42を形成する。

【0053】次いで、図4(c)に示すように、シリコン酸化膜42上に所定パターンのレジストパターン43を形成する。次いで図4(d)に示すように、 CF_4/CHF_3 混合ガスを用いたRIE処理により、シリコン酸化膜42及び有機SOG膜41をエッチングする。

【0054】次いで、図4(e)に示すように、基板を希弗酸に浸漬し、有機SOG膜41上のシリコン酸化膜42を溶解除去すると共に、シリコン酸化膜42上のレジストパターン43をリフトオフする。この時、有機SOG膜41は希弗酸によりほとんどエッチングされなかった。

【0055】本実施形態によれば、レジストの O_2 アッシング処理によるレジストパターンの除去処理をせずに、リフトオフによりレジストパターンの除去処理を行っているため、有機成分の除去により有機SOGの組成が変化して誘電率 ϵ が大きくなる事がない。

【0056】なお、有機SOG膜上にシリコン酸化膜を形成する際、 O_2 プラズマ照射に限らず、 CF_4/O_2 ダウンフローアッシングや O_3 ガスの照射によっても形

成することができる。また、SOG膜以外にも、CVD法等で形成される有機珪素化合物に対しても本発明を適用することができる。

【0057】[第4実施形態]本実施形態では、空中配線構造を容易に形成し得る半導体装置の製造工程について図5を参照して説明する。図5は、本発明の第4実施形態に係わる半導体装置の製造工程を示す工程断面図である。

【0058】先ず、図5(a)に示すように、下層配線52が形成された絶縁膜51上に膜厚300nmのWO₃膜53を堆積する。そして、WO₃膜53上に上層配線が形成される溝を形成するためのレジストパターン54を形成する。

【0059】次いで、図5(b)に示すように、CF₄/Ar/O₂混合ガスを用いたRIE処理により、WO₃膜53をエッチングし、後に上層配線が埋め込み形成される配線溝を形成する。

【0060】次いで、O₂アッシングによりレジスト54を除去した後、下層配線52に接続するビアホールを形成するための図示されないレジストパターンを形成する。そして、図5(c)に示すように、WO₃膜53のエッチングを行いビアホールを形成して、レジストパターンをO₂アッシングにより除去する。

【0061】次いで、図5(d)に示すように、全面にスパッタ法によりAl膜を堆積した後、CMP処理によりAl膜の表面をエッチバックしてWO₃膜53の表面を露出させ、前記ビアホール及び配線溝にプラグ電極55及び上層配線56を埋め込み形成する。

【0062】次いで、図5(e)に示すように、膜厚200nmのシリコン酸化膜57をプラズマCVD法により堆積する。

【0063】次いで、図5(f)に示すように、シリコン酸化膜57の所望の位置にWO₃膜53が露出する窓を開いた後、基板を60℃の温水に浸漬してWO₃膜53を溶解除去し、空中配線構造を形成する。

【0064】本実施形態の製造方法によれば、ウエットエッチングによって、温水によるWO₃膜の除去、つまりウエットエッチングにWO₃膜(ダミー膜)を除去しているの、ラジカル酸素を用いたC膜(ダミー膜)の除去に比べて、ダミー膜の除去にかかる時間を短縮することができる。

【0065】なお、本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0066】

【発明の効果】以上説明したように本発明によれば、被処理膜上に、溶解液に溶解する溶解性薄膜及びマスク層及び所望のパターンを有するパターンを順次形成し、マスク層及び溶解性薄膜及び被処理膜のエッチングを順次行うことによって、たとえ溶解性薄膜又は被処理膜中に

レジストパターンが無くても、マスク層が存在するので被処理膜のエッチングを行うことができ、微細加工が可能となる。

【0067】また、溶解性薄膜上に所望のパターンと反転したパターンを有する反転パターン層を形成し、反転パターン内にマスク材を埋め込み形成した後、反転パターン層を除去することによっても、所望のパターンを有するマスク層を形成することができ、上記と同様に微細加工を行うことができる。

【0068】そして、マスク層は溶解性薄膜上に形成されているので、溶解性薄膜を溶液を用いて除去することによって、マスク層がリフトオフされるので、容易にマスク層の除去を行うことができる。また、被処理薄膜の下地がシリコン基板であっても、マスク層を除去する際に下地のシリコン基板がエッチングされることがない。

【0069】溶解成膜を用いたダマシ配線を形成し、配線形成後、溶解性薄膜を溶解除去して配線を空洞化することが可能となり、空中配線構造を容易に形成することができる。

【0070】有機SOG膜上にシリコン酸化膜を形成し、シリコン酸化膜上にレジストパターンの形成を行った後に、シリコン酸化膜及び有機SOG膜のエッチングを行い、シリコン酸化膜を溶解除去してレジストパターンをリフトオフすることで、レジストパターンを除去する際に有機SOG膜の表面を活性な酸素にさらすことがないので、有機成分の除去による誘電率の増大を防止することができる。

【図面の簡単な説明】

【図1】第1実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図2】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図3】第2実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図4】第3実施形態に係わる半導体装置の製造工程を示す工程断面図。

【図5】第4実施形態に係わる半導体装置の製造工程を示す工程断面図。

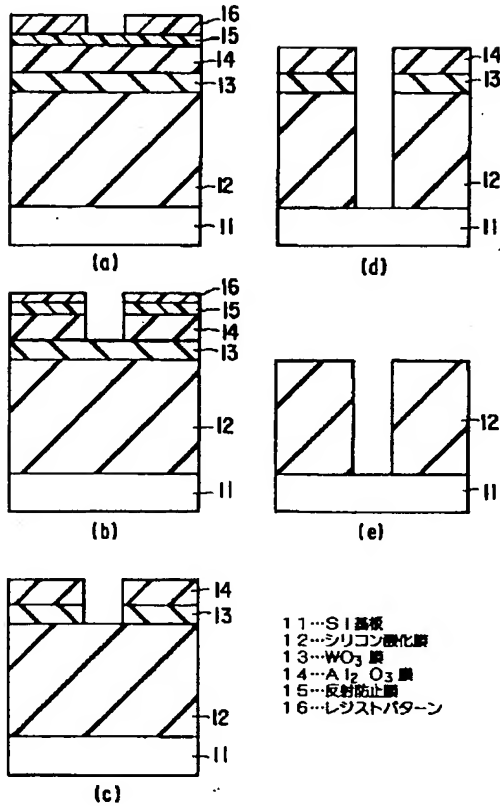
【符号の説明】

- 11…シリコン基板
- 12…シリコン酸化膜
- 13…WO₃膜
- 14…Al₂O₃膜
- 15…有機反射防止膜
- 16…レジストパターン
- 21…SOG膜
- 22…レジストパターン
- 23…Al₂O₃膜
- 41…SOG膜
- 42…シリコン酸化膜

11

43...レジストパターン
51...絶縁膜
52...下層配線
53...WO₃ 膜

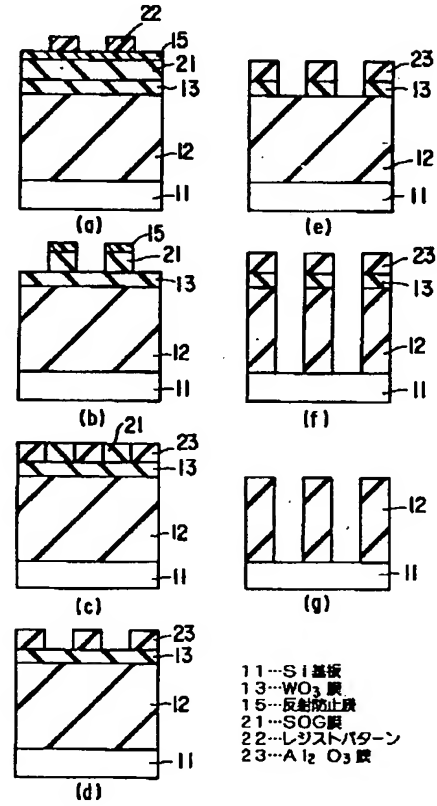
【図1】



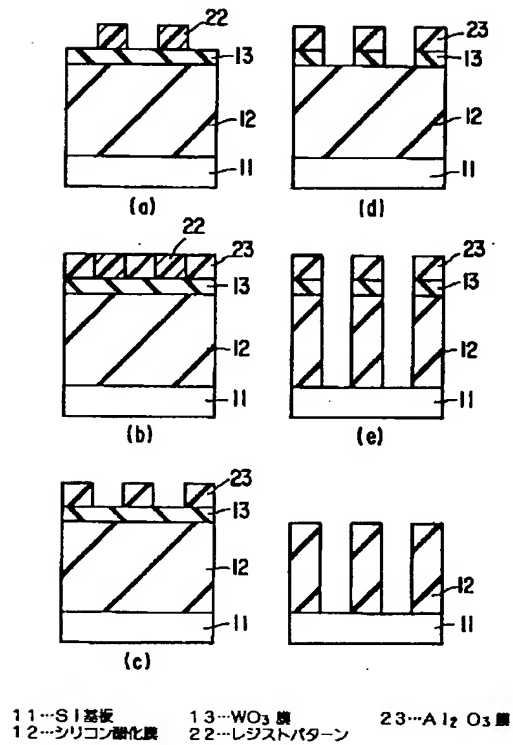
12

54...レジストパターン
55...プラグ電極
56...上層配線
57...シリコン酸化膜

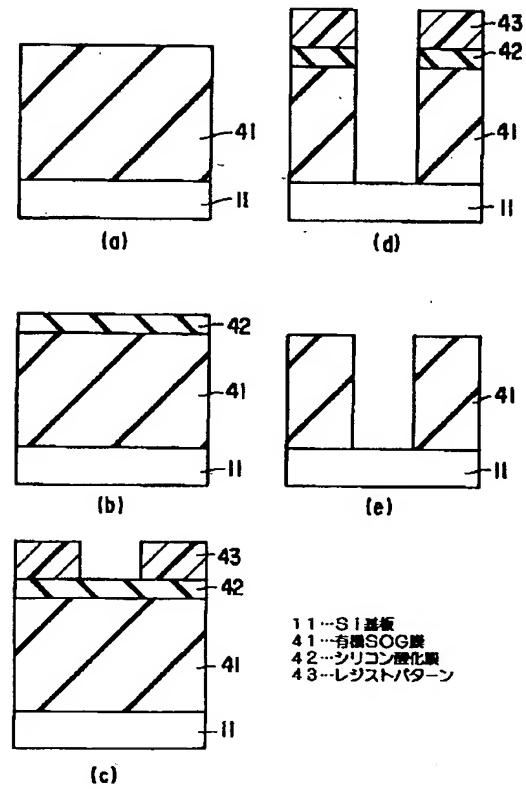
【図2】



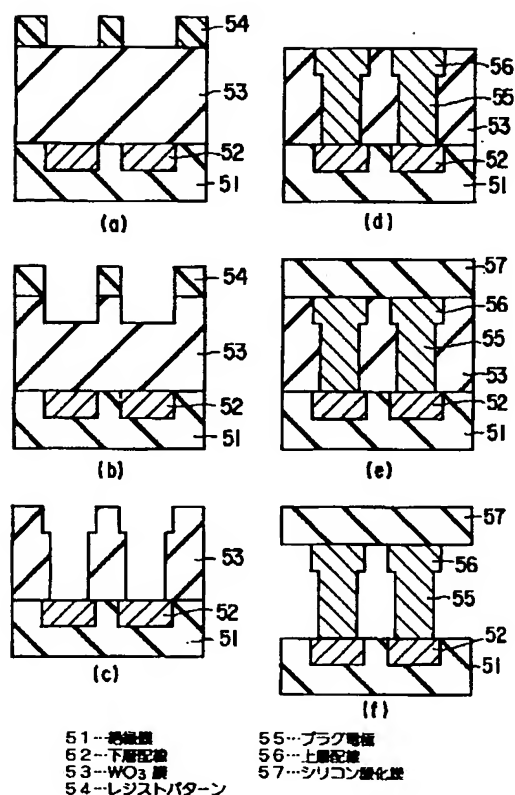
【図3】



【図4】



【図5】



フロントページの続き

(72)発明者 早坂 伸夫
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 奥村 勝弥
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 小島 章弘
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 阿部 淳子
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 東 司
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 市之瀬 秀夫
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 水島 一郎
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

Fターム(参考) 5F004 AA04 DA00 DA01 DA16 DA23
DA26 DB00 DB03 DB13 DB14
EA03 EA05 EA22 EB01
5F043 AA31 AA40 BB22 BB30 GG02